

IMPLEMENTAÇÃO DE FFT EM HARDWARE RECONFIGURÁVEL

Vitor Conrado Faria Gomes¹(UFSM, Bolsista PIBIC/CNPq)
Haroldo Fraga de Campos Velho²(LAC/INPE, Orientador)
Andrea Schwertner Charão³(LSC/UFSM, Co-Orientadora)

RESUMO

Considerando a grande demanda de processamento gerada pela computação científica, há uma constante busca por estratégias que permitam processar e resolver problemas mais rapidamente. Uma destas novas propostas é a computação reconfigurável, onde dispositivos de hardware, como FPGA (*Field Programmable Gate Array*), são configurados para realizar tarefas específicas. Utilizando esta abordagem, este trabalho tem por objetivo implementar a Transformada Rápida de Fourier (FFT: *Fast Fourier Transform*) em hardware reconfigurável, para acelerar a execução de um modelo meteorológico (DYNAMO). O ambiente-alvo de execução é o supercomputador Cray XD1, disponível no LAC/INPE, que incorpora FPGAs em sua arquitetura paralela. As etapas para realizar o estudo iniciaram-se em 01/agosto/2008, constituindo-se nos seguintes itens: (a) estudo da FFT; (b) estudo da linguagem VHDL e a arquitetura de dispositivos reconfiguráveis, (c) execução de testes com o sistema Cray XD1. Houve também a necessidade de se investigar as bibliotecas em VHDL, que implementam operações em ponto flutuante e os modos de comunicação com o FPGA. Implementou-se o núcleo computacional da FFT conhecido como “borboleta”. Testes com diversas configurações desta unidade foram realizados a fim de estabelecer a área ocupada por tal operação no FPGA, visto que o mesmo possui recursos limitados. Com estas informações, foi possível implementar a FFT para 32 pontos operando com valores em ponto flutuante de 32 bits. Utilizando esta implementação, foi possível realizar a primeira integração deste módulo de hardware ao modelo DYNAMO, permitindo a execução deste sistema de maneira híbrida. Os primeiros experimentos mostraram baixa eficiência no cálculo desta transformada em FPGA para poucos pontos. Isso motivou o projeto de uma nova arquitetura que permitisse a execução da transformada em ambiente híbrido e para uma quantidade flexível de pontos. Esta arquitetura considera o uso do processador de propósito geral do sistema em conjunto com o FPGA para o cálculo da FFT, visando aumentar o desempenho no cálculo desta operação. Além disso, foram aplicadas técnicas que visam mascarar tempos de transferência de dados e acesso a memória, de modo a possibilitar uma melhor utilização da arquitetura híbrida. Com dados experimentais para vetores com 2^{18} , 2^{19} e 2^{20} elementos, a execução híbrida apresentou acelerações de 1,27, 1,49, 1,20 em relação a execução somente em software. Três artigos foram produzidos até o momento e submetidos a um evento regional (Escola Regional de Alto Desempenho - ERAD/RS), nacional (Concurso de Trabalhos de Iniciação Científica do Simpósio de Sistemas Computacionais de Alto Desempenho - WSCAD-CTIC) e internacional (International Symposium on Computer Architecture and High Performance Computing - SBAC-PAD). Este último está ainda sob avaliação.

¹Aluno do Curso de Ciência da Computação, UFSM. E-mail: vconrado@inf.ufsm.br

²Pesquisador do Laboratório Associado de Computação e Matemática Aplicada. E-mail: haroldo@lac.inpe.br

³Professora pesquisadora no Laboratório de Sistemas de Computação. E-mail: andrea@inf.ufsm.br³